

CLIPPEDIMAGE= JP409283441A

PAT-NO: JP409283441A

DOCUMENT-IDENTIFIER: JP 09283441 A

TITLE: MANUFACTURE OF SEMICONDUCTOR ELEMENT

PUBN-DATE: October 31, 1997

INVENTOR-INFORMATION:

NAME

KUWABARA, TAKASHI

YONEDA, KIYOSHI

ASSIGNEE-INFORMATION:

NAME

SANYO ELECTRIC CO LTD

COUNTRY

N/A

APPL-NO: JP08091280

APPL-DATE: April 12, 1996

INT-CL (IPC): H01L021/20;H01L021/268 ;H01L027/12 ;H01L029/786 ;H01L021/336

ABSTRACT:

PROBLEM TO BE SOLVED: To improve uniformity of crystal grains and eliminate irregularity in characteristics of a transistor when a polycrystal semiconductor layer is formed by performing laser annealing on an amorphous semiconductor layer formed on a substrate, in the case of manufacturing a thin film transistor by forming a semiconductor layer on an insulating substrate.

SOLUTION: After a polysilicon (p-Si) 12 made of fine crystal grains is formed by performing pulse laser annealing on an amorphous silicon (a-Si) formed on a substrate 10, the polysilicon 12 is irradiated with a CW laser. Thus, solid phase epitaxial growth from fine crystal grains is promoted, thereby increasing the grain size and causing the crystal grain size to be uniform over the entire region.

COPYRIGHT: (C)1997,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-283441

(43) 公開日 平成9年(1997)10月31日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/20		H 0 1 L 21/20	
	21/268		21/268	Z
	27/12		27/12	R
	29/786		29/78	6 1 6 A
	21/336			6 2 7 G
審査請求 未請求 請求項の数1 OL (全 8 頁)				

(21) 出願番号 特願平8-91280

(22) 出願日 平成8年(1996)4月12日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 桑原 隆

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72) 発明者 米田 清

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

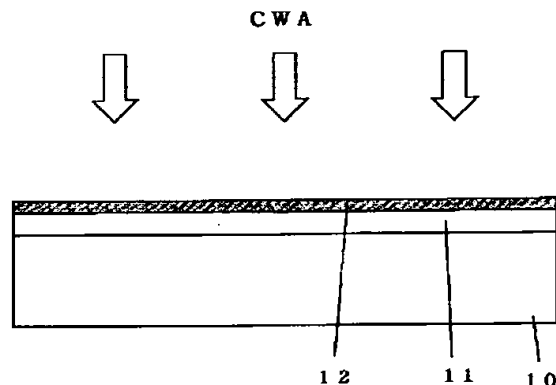
(74) 代理人 弁理士 安富 耕二 (外1名)

(54) 【発明の名称】 半導体素子の製造方法

(57) 【要約】

【課題】 絶縁性基板上に半導体層を形成して薄膜トランジスタを製造する方法において、基板上に形成された非晶質半導体層にレーザーアニールを施して多結晶半導体層を形成する時、結晶粒の均一性を高め、トランジスタの特性のばらつきを無くす。

【解決手段】 基板上に形成されたa-Siをパルスレーザーアニールにより微結晶粒からなるp-Si(12)にした後、このp-Si(12)にCWレーザーを照射することにより、微結晶粒からの固相エピタキシャル成長を促して、粒径を大きくするとともに、結晶粒径を全域にわたって均一にする。



## 【特許請求の範囲】

【請求項1】 絶縁性基板上に半導体層及び電極層を形成する半導体素子の製造方法において、前記半導体層は、前記絶縁性基板上に形成された非晶質半導体膜に、パルス励起レーザー照射を行うことにより、前記非晶質半導体膜を比較的粒径の小さな結晶粒からなる多結晶半導体膜にした後、連続励起レーザー照射を行うことにより前記結晶粒の粒径を大きくするとともに、結晶粒径の分布を均一にすることを特徴とする半導体素子の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体素子の製造方法に関し、例えば、液晶表示装置(LCD:Liquid Crystal Display)において、多結晶半導体膜を基板上に形成することにより、多結晶半導体の薄膜トランジスタ(TFT:Thin Film Transistor)を表示部のみならず、周辺の駆動回路部にも形成した駆動回路一体型LCDの製造方法に関する。

## 【0002】

【従来の技術】LCDは小型、薄型、低消費電力などの利点があり、OA機器、AV機器などの分野で実用化が進んでいる。特に、スイッチング素子として、TFTを用いたアクティブマトリクス型は、原理的にデューティ比100%のスタティック駆動をマルチプレクスのように行うことができ、大画面、高精細な動画ディスプレイに使用されている。

【0003】アクティブマトリクスLCDは、マトリクス状に配置された表示電極にTFTを接続形成した基板(TFF基板)と共通電極を有する基板(対向基板)が、液晶を挟んで貼り合わされて構成されている。表示電極と共通電極の対向部分は液晶を誘電層とした画素容量となっており、TFTにより順次を選択され、電圧が印加される。画素容量に印加された電圧はTFTのOFF抵抗により1フィールド期間保持させる。液晶は電気光学的に異方性を有しており、画素容量により形成された電界の強度に対応して透過光量が微調整される。このように透過率が画素毎に制御された明暗の分布が所望の表示画像として視認される。

【0004】近年、TFTのチャンネル層として多結晶(ポリ)シリコン(p-Si)を用いることによって、マトリクス画素部と周辺駆動回路部を同一基板上に形成した駆動回路一体型のLCDが開発されている。一般に、p-Siは非晶質シリコン(a-Si)に比べて移動度が高い。このため、TFTが小型化され、高精細化が実現される。また、ゲートセルフアライン構造による微細化、寄生容量の縮小による高速化が達成されるため、n-chTFTとp-chTFTの電氣的相補結線構造即ちCMOSを形成することにより、高速駆動回路を構成することができる。このように、駆動回路部を同

一基板上にマトリクス画素部と一体形成することにより、製造コストの削減、LCDモジュールの小型化が実現される。

【0005】図13にこのような駆動回路一体型LCDの構成を示す。中央部の点線で囲まれた部分はマトリクス画素部であり、TFTのON/OFFを制御するゲートライン(G1, G2, ..., Gm)と画素信号用のドレインライン(D1, D2, ..., Dn)が交差して配置されている。各交点にはTFTとこれに接続する表示電極(いずれも不図示)が形成されている。画素部の左または/および右にはゲートライン(G1, G2, ..., Gm)を走査選択するゲートドライバー(GD)が配置され、画素部の上または/および下には、映像信号をサンプリングして、ゲートドライバ(GD)の走査に同期して各ドレインライン(D1, D2, ..., Dn)に画素信号電圧を印加するドレインドライバー(DD)が配置されている。ドレインドライバー(DD)は、主としてシフトレジスタ回路とサンプリング回路、更に場合によってはホールド用キャパシターからなり、ゲートドライバー(GD)は主にシフトレジスタからなる。

【0006】図14は、このようなp-SiTFTの断面構造図である。ここではn-chTFTを挙げている。ガラスなどの透明絶縁性基板(100)上に、ガラスの不純物イオンの半導体素子への拡散を防止するためのバッファ層(101)がSiO<sub>2</sub>あるいはSi<sub>3</sub>N<sub>4</sub>などにより形成されている。この上には、TFTの島状にパターニングされたp-Si(102)が形成され、p-Si(102)上にはSiO<sub>2</sub>などのゲート絶縁膜(103)を挟んでゲート電極(104, 105)が対向配置されている。ゲート電極は例えばドーパントpoly-Si(104)とシリサイド(105)のポリサイド層により形成されている。

【0007】また、p-Si(102)は、ゲート電極(104, 105)の直下にノンドープあるいはp型にドーピングされたチャンネル領域(CH)、チャンネル領域(CH)の両側にはn型に低濃度にドーピングされたLD領域(LD)、LD領域(LD)の更に外側にはn型に高濃度にドーピングされたドレイン及びソース領域(D, S)が、ゲート電極(104, 105)に対するセルフアライン関係をもって形成されている。

【0008】ゲート電極(104, 105)は画素部にあっては、走査線であるゲートラインと一体で形成され、駆動回路部にあっては、CMOS構造の結線に接続される。ゲート電極(104, 105)上には工程中のカウンタードープを防ぐための注入ストッパー(106)、ゲート電極(104, 105)と注入ストッパー(106)の側壁にはセルフアライン形成における不純物の横方向拡散に対するマージンを設けるためのサイドウォール(107)が形成されている。これらp-Si

(102)及びゲート電極(104, 105)とそのラインを覆う全面にはSiO<sub>2</sub>などの第1の層間絶縁膜(108)が被覆され、第1の層間絶縁膜(108)上には、Ti/AlSiなどの高融点金属からなるドレイン電極(109)及びソース電極(110)が設けられ、ゲート絶縁膜(103)及び第1の層間絶縁膜(108)中に開口されたコンタクトホールを介して各々ドレインおよびソース領域(D, S)に接続されている。画素部においては、ドレイン電極(109)は、信号線であるドレインラインと一体であり、駆動回路部においては、ドレイン電極(109)及びソース電極(110)はCMOS構造の結線に延長されている。これらドレイン電極(109)及びソース電極(110)を覆う全面には、SOG (Spin On Glass)、BPSG (Boro-Phospho Silicate Glass)、TEOS (Tetraethyl orthosilicate)、アクリル樹脂膜等、の平坦化作用のある第2の層間絶縁膜(111)が形成されている。

【0009】画素部では、第2の層間絶縁膜(111)上にITO (indium tin oxide) からなる表示電極が形成され、ソース電極(110)上に開口されたコンタクトホールを介してソース電極(110)に接続される。ここに示したような、ドレイン領域(D)とチャンネル領域(CH)の間、及び、ソース領域(S)とチャンネル領域(CH)との間に低濃度のLD領域(L)を介在させた構造は、一般にLDD (lightly doped drain) と呼ばれ、チャンネル領域(CH)端における強電界が緩和されるので、キャリアの加速が抑えられ、耐圧が高い。LD領域はまた抵抗として介在されるため、相互コンダクタンスの低下をもたらすが、LDD構造のTFTを画素部に採用することでOFF電流を抑え、電圧保持率を高めることができる。一方、p-Si TFTでは元来、十分に高いON電流値が得られるため、LDD構造とすることにより、結果的に、ON/OFF比を向上することができる。

【0010】このような、駆動回路部一体型LCDにおいて、近年、特に、製造の全工程の温度を600℃以下とすることによって、基板(100)として耐熱性の低い安価なソーダガラス基板を採用する、いわゆる低温プロセスが開発され、低コスト、量産化が進められている。低温プロセスにおいて特に重要な課題は、p-Si膜のSi結晶粒径を大きくして、十分な低抵抗化を図る点にある。従来、エキシマレーザーアニールを用いることにより、a-Si膜あるいは粒径の小さなp-Si膜を、600℃以下の処理温度で溶融再結晶化し、十分に大きな結晶粒からなる、十分に低抵抗のp-Si膜を得ていた。

【0011】レーザーは、個体あるいは気体のレーザー媒質において、ポンピングと呼ばれる、外部よりエネルギーを与えて原子を励起させることで、通常のエネルギー分布とは異なり、より高いエネルギー準位の状態数が

より低いエネルギー準位の状態数よりも多くなった、いわゆる反転分布を作り出しておき、ここに外部より光を入射させることで、誘導放出を生じさせ、かつ、この誘導放出光を、内側にレーザー媒質を有した反透過ミラー等からなる共振器において、共振させ、コヒーレント光からなる非常に強い光を発振させたものである。

【0012】レーザーには、その励起方法により、単位時間における励起状態への遷移数と誘導放出による遷移数とを常に等しくした連続励起により、安定した発振を行うCW (constant wave) レーザーと、一定期間、共振を行わずに、励起状態への遷移数を増大させ、大きな反転状態を生成した後、共振機構を成立させることで誘導放出を一気に行い、これらを繰り返すことで大きな出力をパルス状に発振させる、パルス励起レーザーとがある。

【0013】パルスレーザーアニールでは、1回のレーザー照射の時間が短く、かつ極めて大きなエネルギーが得られ、照射領域を瞬時に溶融させ、液相エピタキシャル成長を促す再結晶化アニール法であるのに対し、パルスレーザーアニールでは、比較的弱いエネルギーを連続的に照射することにより固相エピタキシャル成長を促す再結晶化アニール法である。

【0014】

【発明が解決しようとする課題】従来の液晶表示装置の製造における、a-Siからp-Si膜への再結晶化には、そのスループットの高さから、パルスレーザーアニールが用いられていた。このパルスレーザーアニールは、レーザー光のスポット位置を順にパルス毎に順にずらしていく走査法により、基板上に形成されたa-Siを満遍なくアニールするものであるが、各パルスのスポット周縁に沿って、結晶化の不十分な領域が生じていた。即ち、各レーザーパルスのスポットエッジに当たる領域では、レーザー光強度が、その中央部に比べて低下しており、このため、十分な強度でのアニールがなされず、一度不十分なレーザーアニールにより粒径の小さな微結晶が形成されると、オーバーラップにより、再び同じ領域に十分な強度のレーザーアニールをおこなっても、この微結晶粒からなる領域においては、再結晶化がそれ以上には進まずに、微結晶のまま残ってしまう。これは、一度微結晶粒が生じた領域に、パルスレーザーを照射しても、微結晶粒と非晶質層からなる混成領域においては、非晶質層と同じようには、溶融再結晶化が十分に行われないためであると推測される。

【0015】このため、基板(100)上に形成されたp-Si膜(102)には、パルスレーザーの各スポットエッジを表す如き形状の、微結晶粒からなる線状あるいは方形状の領域が形成される。このような、微結晶粒からなる円状領域は、十分に低抵抗化がなされていない領域である。従来例においては、スポットは、0.1~1×100~360mm程度あり、TFTの形成後にこ

の線状あるいは方形領域がチャンネル領域(CH)に含まれると、抵抗が増大し、TFTのON電流が低下してしまう。このような、ON電流の低下は、画素部にあつては、電荷の供給量を減少させ、階調の上または下のレベルを飽和させてコントラスト比の低下を招くとともに、駆動回路部にあつては、動作速度が低下し、論理演算の誤動作の原因にもなっていた。

【0016】

【課題を解決するための手段】本発明はこの課題を解決するために成され、絶縁基板上に半導体層及び電極層を形成する半導体素子の製造方法において、前記半導体層は、前記絶縁基板上に形成された非晶質半導体膜にパルス励起レーザー照射を行うことにより、前記非晶質半導体膜を比較的粒径の小さな結晶粒からなる多結晶半導体膜にした後、連続励起レーザー照射を行うことにより前記結晶粒の粒径を大きくするとともに、結晶粒径の分布を均一にする構成である。

【0017】これにより、初めのパルスレーザーアニールにより、液相エピタキシャル成長を促して非晶質層中に結晶粒を生成させた後、続くCWレーザーアニールにより、パルスレーザーアニールで生成された微結晶粒からの固相エピタキシャル成長が促され、多結晶半導体膜の質を高めることができる。

【0018】

【発明の実施の形態】続いて、本発明の実施形態を、絶縁基板に多結晶シリコン膜を形成することにより、薄膜トランジスタを作成した液晶表示装置について説明する。図1から図12に液晶表示装置の製造方法を示す工程断面図を示す。まず図1において、ソーダガラス等の基板(10)上に、基板表面のイオンが半導体素子中に拡散して素子の動作特性を悪化させることを防ぐ目的で、SiO<sub>2</sub>あるいはSi<sub>3</sub>N<sub>4</sub>等をCVD、あるいはスパッタリングなどにより3000~5000Åの厚さに積層し、バッファ層(11)を形成している。続いて、モノシランSiH<sub>4</sub>、あるいは、ジシランSi<sub>2</sub>H<sub>4</sub>を材料ガスとした、450℃の減圧CVD、あるいはプラズマCVDにより、前記材料を分解して堆積することでアモルファスシリコン(a-Si)(12a)を300~1000Å、例えば、500~600Åの厚さに積層する。

【0019】続いて図2で、パルスレーザーアニールとして、エキシマレーザーアニール(ELA)を用いて、a-Siの1回目の再結晶化を行って結晶粒を生成し、比較的粒径の小さいグレインからなるp-Si膜(12)を形成する。各種条件は、各パルスの出力強度が100~400mJ/cm<sup>2</sup>、パルス周波数が300Hz、スポットが0.1~1×100~360mm、各パルスの走査の送り幅が10~100μm、例えば、20μmで、各パルスのスポットのオーバーラップ量を50~90%としている。この時、形成されるグレインの大

きさは、100nm以下となっている。

【0020】図3で、可視光レーザー、例えばArレーザー等によるCWレーザーアニール(CWA)を用いて2回目の再結晶化を行い、図2において形成されたp-Si(12)のグレインを更に大きくするとともに、全域にわたってグレイン径を均一化する。各種条件は、レーザーパワーが数W~20W、スポットが20~100μm、走査速度が数cm/sec~100cm/secで行うことで、グレインは、その粒径を1000nm程度にまで大きく、かつ、全域にわたって粒径の大きさが均一になっている。

【0021】ここで、図2及び図3における工程で、パルスレーザーアニール及びCWレーザーアニールの走査速度は、パルスレーザーアニールのみを用いた再結晶化の場合よりも大きく、スルーットの低下は僅かで済む。図4で、反応性イオンエッチング即ちRIE(reactive ion etching)により、p-Si(12)をTFTに必要な島状にパターニングした後、400℃の減圧CVDによりゲート絶縁膜(13)となるLTO(low temperature oxide)膜を1000Åの厚さに形成し、引き続き、ゲート電極となるポリサイドを積層する。即ち、ドーパトa-Si(14a)を450℃の減圧CVD等により2000Åの厚さに積層し、続いて、タングステンシリサイドWSixを(15)をスパッタリングにより1000Åの厚さに積層する。ここで、a-Si(14a)は後に結晶化アニールが施されて、ドーパトp-Si(14)となり、WSi(15)との積層体により、ゲート電極及びその配線となるポリサイドを形成するものであり、n型不純物が、成膜時、あるいは、成膜後にドーピングされる。

【0022】WSix(15)上には、更に、注入ストッパー(16)となるSiO<sub>2</sub>を430℃のCVDにより形成している。図5で、注入ストッパー(16)、WSix(15)及びa-Si(14)を、RIEにより同一形状にパターニングすることで、ゲート電極とその配線、及び、この上に注入ストッパー(16)を形成する。

【0023】図6で、SiO<sub>2</sub>を430℃のCVDにより成膜した後、RIE等の異方性エッチングにより、全面エッチバックすることで、ゲート電極(14、15)及び注入ストッパー(16)の側壁にサイドウォール(17)を被着形成する。図7で、ゲート電極(14、15)及びサイドウォール(17)をマスクに、p-Si(12)へ、n型不純物である燐のイオン注入を、低ドーズ量、 $1 \times 10^{12} \sim 5 \times 10^{13} / \text{cm}^2$ 、例えば、 $3 \times 10^{13} / \text{cm}^2$ で行うことにより、ゲート電極(14、15)直下領域の両側に低濃度にドーピングされたLD領域(LD)を形成する。サイドウォール(17)は、後の活性化アニールにおいて燐イオンが横方向に拡散するため、ゲート電極(14、15)に対

するセルフアライン関係を維持するためのものである。また、ゲート電極(14, 15)直下領域はノンドープのチャンネル領域(CH)となる。

【0024】図8で、ゲート電極(14, 15)及びサイドウォール(16)を覆うレジスト(R)を形成し、このレジスト(R)をマスクに、p-Si(12)への燐のイオンドーピングを、高ドーズ量、 $3 \times 10^{14} \sim 5 \times 10^{15}/\text{cm}^2$ 、例えば、 $1 \times 10^{15}/\text{cm}^2$ で行い、高濃度にドーピングされたドレイン及びソース領域(D, S)を形成する。この時、レジスト(R)の直下領域は、低濃度のLD領域(LD)が残り、ここに、チャンネル領域(CH)の両側に低濃度のLD領域(LD)、更にその外側に高濃度のドレイン及びソース領域(D, S)が形成され、LDD構造が完成される。

【0025】そして、レジスト(R)の剥離後、全面に、発熱源である線状ランプを近接し高速走査するRTA(rapid thermal annealing)法、あるいは、ELA法により、不純物の活性化アニールを行う。同時に、ゲート電極の下層であるa-Si(14a)が多結晶化され、p-Si(14)となって低抵抗化され、WSi(15)との積層構造によりポリサイドゲートが形成される。また、この時、p-Si(12)にドーピングされた燐イオンの横方向拡散が生じるが、前述の如く、サイドウォール(17)により、あらかじめ、LD領域(LD)端がゲート電極(14, 15)から離されて形成されており、この横方向拡散により、LD領域(LD)端がゲート電極(14, 15)エッジ部にまで広げられるようにされている。

【0026】図9で、全面に、430℃の常圧CVDによりSiO<sub>2</sub>を積層し、600℃のアニールの後、400℃のプラズマCVDによりSiO<sub>2</sub>を積層することで、第1の層間絶縁膜(18)を形成している。そして、450℃の水素アニールにより、p-Si(12)中のダングリングボンドのターミネートを行った後、RIEにより、ドレイン及びソース領域(D, S)上の第1の層間絶縁膜(18)及びゲート絶縁膜(13)にコンタクトホール(CT)を形成する。

【0027】図10で、Ti/AlSiをスパッタリングにより、7000Åの厚さに積層し、これをRIEによりパターニングすることにより、コンタクトホール(CT)を介して各々ドレイン領域(D)及びソース領域(S)に接続するドレイン電極(19)及びソース電極(20)を形成する。ここで、画素部においては、ドレイン電極(19)は信号線であるドレインラインと一体に形成されるとともに、駆動回路部においては、ドレイン電極(19)とソース電極(20)は、CMOSの結線と一体に形成される。

【0028】図11で、再び、p-Si中のダングリングボンドのターミネートのために、水素プラズマ処理を

300℃で行った後、全面に、410℃のCVDにより、SiO<sub>2</sub>を2000Åの厚さに、SOG膜、即ち、スピン塗布及び350℃の焼成により平坦化作用のあるSiO<sub>2</sub>膜を10000Åの厚さに形成し、更に、410℃のCVDにより、SiO<sub>2</sub>を1000Åの厚さに積層することにより平坦化された第2の層間絶縁膜(21)を形成する。そして、RIEにより画素部のソース電極(20)上の第2の層間絶縁膜(21)中にコンタクトホール(CT)を形成する。

10 【0029】図12で、画素部において、スパッタリングによりITOを1400Åの厚さに成膜し、これをRIEによりパターニングして表示電極(22)を形成し、コンタクトホール(CT)を介してソース電極(21)に接続することで、TFTのアレイ基板が完成される。このようにして、形成されたTFT基板は、別の基板上にITOの共通電極が一面に形成されてなる対向基板と、細隙をもって貼り合わせられ、この細隙に液晶が密封されて液晶表示装置が完成される。

20 【0030】本発明では、図2及び図3に示すように、基板上(10)に形成されたa-Si(14a)の再結晶化アニールにおいて、まずパルスレーザアニールにより、微結晶粒を生成しておき、次いで、CWアニールを行って、微結晶からの固相エピタキシャル成長を促すことで、結晶粒を大きくするとともに、この結晶粒の大きさを全域にわたって均一にしている。このため、TFT基板に形成されたTFTの全てが同等の特性を示し、画素部において、ON電流が低下してコントラスト比が低下する、あるいは、駆動回路部において、動作速度が低下して論理演算の誤動作を招くといった問題が防がれる。

30 【0031】

【発明の効果】以上の説明から明らかな如く、本発明により、絶縁性基板上に半導体層を形成して半導体素子を製造する方法において、基板上に低温で成膜された非晶質半導体層をレーザアニールにより再結晶化する際、まず、パルスレーザアニールにより、微結晶粒を生成し、続いて、CWレーザアニールを行って、この微結晶粒よりエピタキシャル成長を促すことにより、大きく、かつ、均一な粒径を有した結晶粒からなる多結晶半導体層を形成することができた。これにより、基板上に形成された全ての半導体素子の動作特性が総じて良好になる。同一基板上に画素部のスイッチング素子と、周辺駆動回路部において論理演算を行う論理ゲートのいずれも良好な特性が得られ、表示品位が向上し、誤動作による表示不良が防止される。

【図面の簡単な説明】

【図1】本発明の実施形態にかかるTFTの製造方法を示す工程断面図である。

40 【図2】本発明の実施形態にかかるTFTの製造方法を示す工程断面図である。

9

【図3】本発明の実施形態にかかるTFTの製造方法を示す工程断面図である。

【図4】本発明の実施形態にかかるTFTの製造方法を示す工程断面図である。

【図5】本発明の実施形態にかかるTFTの製造方法を示す工程断面図である。

【図6】本発明の実施形態にかかるTFTの製造方法を示す工程断面図である。

【図7】本発明の実施形態にかかるTFTの製造方法を示す工程断面図である。

【図8】本発明の実施形態にかかるTFTの製造方法を示す工程断面図である。

【図9】本発明の実施形態にかかるTFTの製造方法を示す工程断面図である。

【図10】本発明の実施形態にかかるTFTの製造方法を示す工程断面図である。

【図11】本発明の実施形態にかかるTFTの製造方法を示す工程断面図である。

【図12】本発明の実施形態にかかるTFTの製造方法を示す工程断面図である。

【図13】液晶表示装置の構成図である。

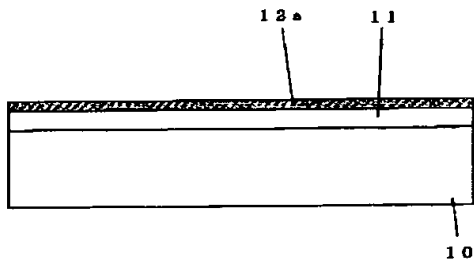
10

【図14】TFTの断面構造図である。

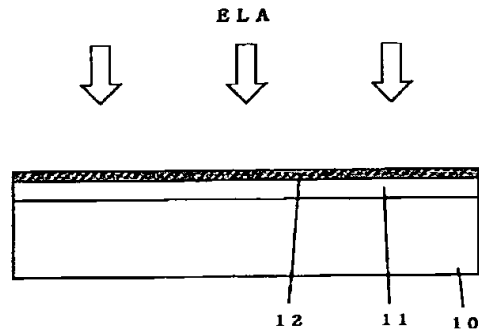
【符号の説明】

- 10 基板
- 11 バッファ層
- 12 p-Si膜
- 13 ゲート絶縁膜
- 14 ドープトpoly-Si
- 15 WSi
- 16 注入ストッパー
- 10 17 サイドウォール
- 18 第1の層間絶縁膜
- 19 ドレイン電極
- 20 ソース電極
- 21 第2の層間絶縁膜
- 22 表示電極
- CH チャンネル領域
- LD 低濃度領域
- D ドレイン領域
- S ソース領域
- 20 CT コンタクトホール
- R レジスト

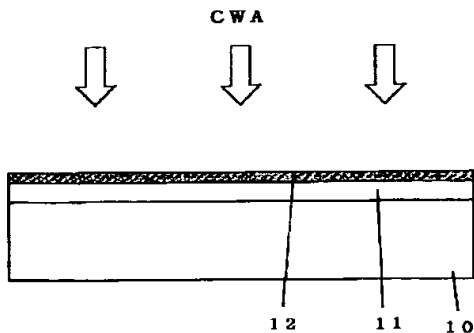
【図1】



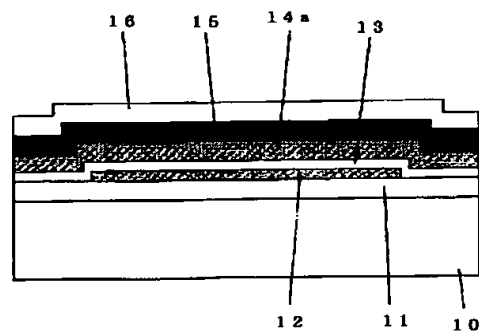
【図2】



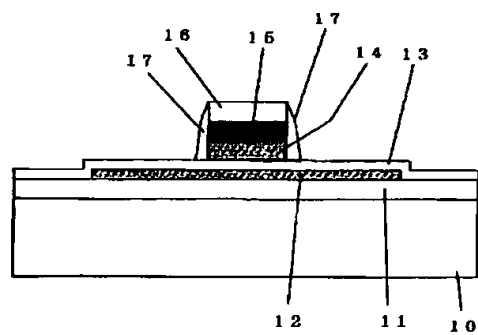
【図3】



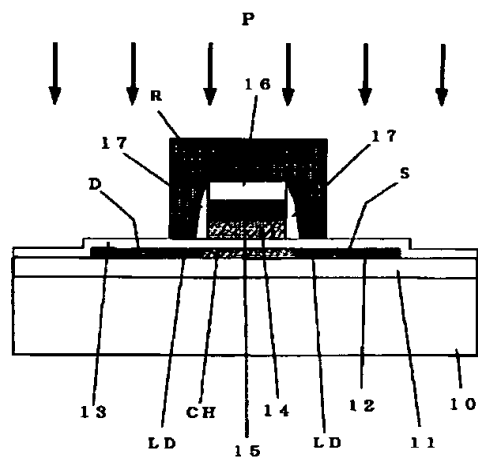
【図4】




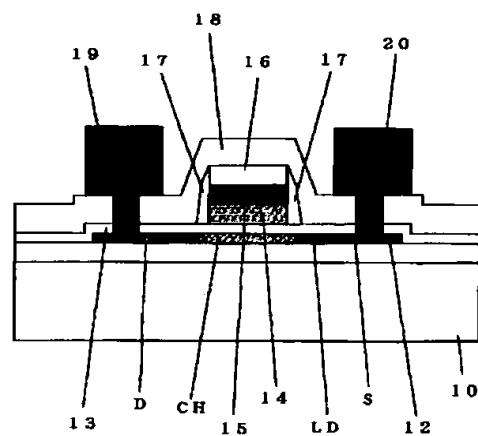
【図6】



【図8】

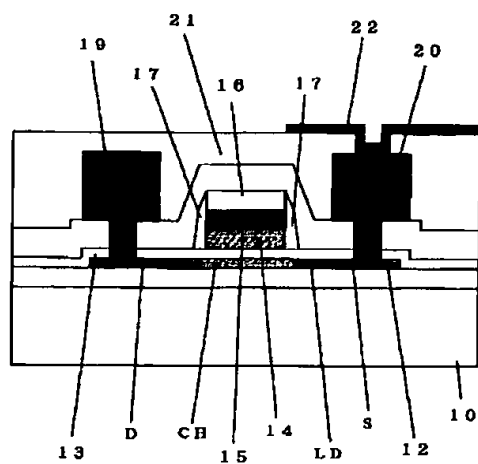


【10】





【图12】



【图 14】

